

(19) 日本国特許庁 (JP)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

## 特開2004-180386

(43) 公開日 平成16年6月24日 (2004.6.24)

(51) Int. Cl.<sup>7</sup>  
H02M 3/28

識別記号

F1  
H02M 3/28

F

テームト\* (参考)  
5H730

請求項の数 2 審査請求 未請求 0L (全9頁)

(21) 出願番号 2002341831  
(22) 出願日 平成14年11月26日 (2002.11.26)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号

(74) 代理人 100085187  
【弁理士】 井島 藤治

(74) 代理人 100090424  
【弁理士】 鮫島 信重

(72) 発明者 野引 卓  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム (参考)  
5H730 AA14 AS01 BB23 BB57 DD04  
DD23 DD32 EE02 EE08 EE10  
EE13 EE19 EE72 FD01 FG05

(54) 【発明の名称】 同期整流回路

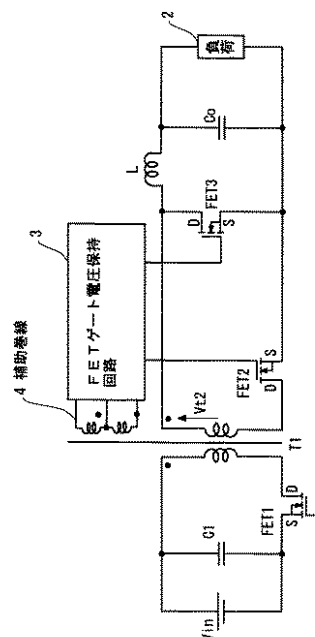
### (57) 【要約】

【課題】 本発明は同期整流回路に関し、メインスイッチがオフの時に転流用ダイオードを確実にオンにすることができる同期整流回路を提供することを目的としている。

【解決手段】 変換トランス T1 の 2 次側に設けた交互にオン/オフする整流用及び転流用の FET を用いて 2 次側直流電圧を発生させるフォワード型 DC/DC コンバータの同期整流回路において、変換トランス T1 の 2 次側に設けた補助巻線 4 と、該補助巻線 4 の出力を受けて、前記変換トランス 2 次巻線間に配置された整流用 FET 2 及び転流用 FET 3 のゲートを確実にオン/オフする信号を発生する FET ゲート電圧保持回路 3 と、を設けて構成する。

【選択図】 図 1

本発明の原理回路図



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-208407

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.Cl.<sup>7</sup>  
H02M 3/28

識別記号

FI  
H02M 3/28  
H02M 3/28

F  
X

テームト<sup>\*</sup>(参考)  
5H730

請求項の数 4 審査請求 未請求 0L (全12頁)

(21) 出願番号 2002374305  
(22) 出願日 平成14年12月25日(2002.12.25)

(71) 出願人 503361248  
富士電機デバイステクノロジー株式会社  
東京都品川区大崎一丁目11番2号  
(74) 代理人 100075166  
【弁理士】 山口 巖  
(74) 代理人 100076853  
【弁理士】 駒田 喜英  
(74) 代理人 100085833  
【弁理士】 松崎 清  
(72) 発明者 西川 幸廣  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内

Fターム(参考)

5H730 AA14 AA15 BB35 DD04 EE13

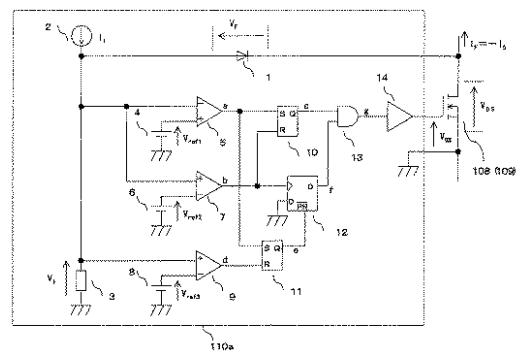
(54) 【発明の名称】 同期整流用MOSFETの制御回路

(57) 【要約】

【課題】 導通損失低減効果を高め、装置効率の向上や小形軽量化を可能とする。

【解決手段】 絶縁形DC/DCコンバータの2次側に整流手段として設けられるMOSFET 108(109)を制御する場合に、108(109)のドレインに第1のダイオードのカソードを接続し、そのアノードと108(109)のソースとの間に抵抗3を接続してその両端電圧を検出する。この両端電圧を第1～第3の比較手段5, 7, 9によりそれぞれ第1～第3基準値と比較することで、ゲート電圧の印加タイミングから零に低下させるまでの期間を第1の保持手段10で検出し、その出力と108(109)のオフ状態を検出する第2の保持手段12の出力とからゲート電圧を生成することにより、108(109)に負の電流が流れる殆どの期間でゲート電圧を発生できるようにし、導通損失を低減する。

【選択図】 図2



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-208490

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.Cl.<sup>7</sup>  
H02M 3/28

識別記号

F1  
H02M 3/28  
H02M 3/28

F  
V

テームト<sup>\*</sup>(参考)  
5H730

請求項の数 5 審査請求 未請求 0L (全11頁)

(21) 出願番号 2003351991  
(22) 出願日 平成15年10月10日(2003.10.10)  
(31) 優先権主張番号 2002357568  
(33) 優先権主張国 JP  
(32) 優先日 平成14年12月10日(2002.12.10)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100097445  
【弁理士】 岩橋 文雄  
(74) 代理人 100103355  
【弁理士】 坂口 智康  
(74) 代理人 100109667  
【弁理士】 内藤 浩樹  
(72) 発明者 数馬 秀二  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内  
Fターム(参考)  
5H730 AA14 AA15 DD02 DD21 EE13  
EE65 FD01 FG15

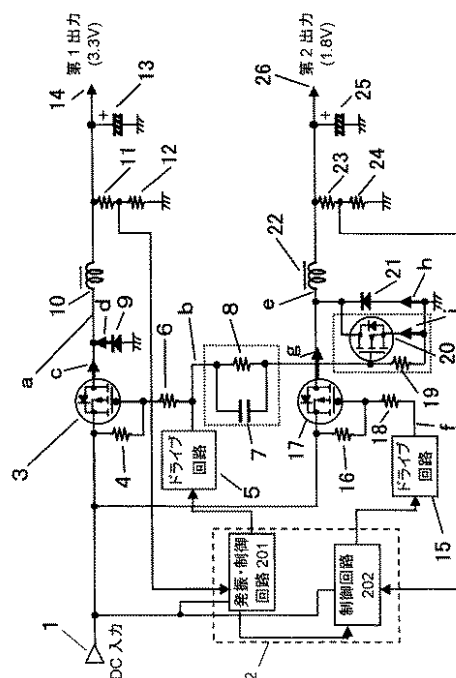
(54) 【発明の名称】 同期整流方式DC - DCコンバータ電源装置

(57) 【要約】

【課題】 回路規模が小さく安価で高効率な同期整流方式のDC - DCコンバータ電源装置を供給することを目的とする。

【解決手段】 発振・制御回路部2のドライブパルスから異なるドライブ波形を生成するドライブ回路5及び15と、ドライブ回路5により駆動される第1スイッチング素子3と、ドライブ回路15により駆動される第2スイッチング素子17と、第2スイッチング素子17の第2ダイオード21に並列接続されドライブ回路5により駆動される第3スイッチング素子20とで構成としたものである。

【選択図】 図1



(51) Int.Cl. <sup>7</sup>	識別記号	FI	テマコード <sup>*</sup> (参考)
H02M 3/28		H02M 3/28	F 5H006
H02M 7/21		H02M 3/28	H 5H730
		H02M 3/28	T
		H02M 7/21	A

請求項の数 11 審査請求 未請求 0L (全21頁)

(21) 出願番号 2003002817  
 (22) 出願日 平成15年1月9日(2003.1.9)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号

(74) 代理人 100085811  
 【弁理士】 大日方 富雄

(72) 発明者 細川 恭一  
 東京都小平市上水本町五丁目20番1号  
 株式会社日立製作所半導体グループ内

(72) 発明者 恩田 謙一  
 東京都小平市上水本町五丁目20番1号  
 株式会社日立製作所半導体グループ内

(72) 発明者 上原 陽一

最終頁に続く

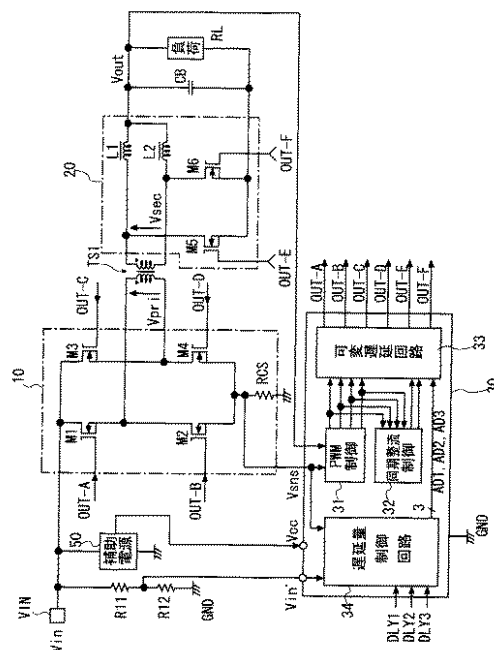
(54) 【発明の名称】 スイッチング電源装置および電源制御用半導体集積回路

(57) 【要約】

【課題】 2次側に同期整流回路を備えたDC-DCコンバータの2次側の整流回路における損失を低減するとともに、1次側にフルブリッジ方式のスイッチング回路を備えたDC-DCコンバータの1次側スイッチング回路における損失を低減する。

【解決手段】 電圧変換用トランス(TS1)を有し2次側に同期整流回路(20)を、また1次側にフルブリッジ方式のスイッチング回路(10)を備え、2次側コイルに流れる電流の経路をスイッチ・トランジスタ(M5, M6)により1次側のスイッチング動作に同期して切り替える同期整流制御を行なうDC-DCコンバータにおいて、2次側の負荷に流れる電流もしくは該負荷電流に連動して変化する1次側の電流や1次側の入力電圧を検出して2次側の同期整流用トランジスタのオフ・タイミングを動的に制御するとともに、1次側の入力電圧と2次側の負荷に流れる電流を検出して1次側のスイッチング回路のトランジスタのオン・タイミングを動的に制御するように構成した。

【選択図】 図1



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-222368

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F1		テームト <sup>*</sup> (参考)
H02M 3/28		H02M 3/28	F	5H730
		H02M 3/28	H	

請求項の数 3 審査請求 未請求 0L (全24頁)

(21) 出願番号	2003004549	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成15年1月10日(2003.1.10)	(71) 出願人	593065844 株式会社沖コムテック 東京都港区芝浦四丁目11番17号
		(74) 代理人	100090620 【弁理士】 工藤 宣幸
		(72) 発明者	村田 典隆 東京都港区芝浦四丁目11番17号 株式会社沖コムテック内
		Fターム(参考)	5H730 AA14 BB23 DD04 EE13 FD01

(54) 【発明の名称】同期整流回路及びスイッチング電源回路

(57) 【要約】

【課題】フライホール用整流素子の並列数に電気的制約されず、制御回路の駆動能力や実装面積、価格などに合わせて並列数を決定でき設計の自由度を増すことができる同期整流回路を提供する。

【解決手段】かかる課題を解決するため、本発明に係る同期整流回路は、磁性部品に蓄積された励磁エネルギーを入力側へ回生若しくは出力側へ放出する形態のスイッチング電源回路に用いられる同期整流回路において、寄生素子を励磁エネルギーの回生若しくは放出の構成要素とする少なくとも1個の第1のフライホイール用半導体スイッチと、各第1のフライホイール用半導体スイッチと電流経路とが並列接続された少なくとも1個の第2のフライホイール用半導体スイッチと、各第2のフライホイール用半導体スイッチの非導通/導通を主スイッチの導通/非導通と同期して制御・駆動する制御回路とを備えることを特徴とする。

【選択図】 図1

